

PULSE WIDTH MODULATION POWER AMPLIFIER

Patent number: JP54080657
Publication date: 1979-06-27
Inventor: WATANABE TOSHIHIKO; NISHIMOTO KATSUSHI
Applicant: FUJITSU LTD
Classification:
- international: H03K7/08
- european: H03F3/217
Application number: JP19770147823 19771209
Priority number(s): JP19770147823 19771209

[Report a data error here](#)

Abstract of JP54080657

PURPOSE: To establish the pulse width modulation power amplifier to drive the load such as motor, in which the gain is constant independently of the variation of power supply voltage. **CONSTITUTION:** The relation of amplitude between the input signal voltage and the triangle wave voltage outputted from the oscillator OSC1 is compared with the comparator C. When the output of the comparator C is at a high potential, the forward bias between the base and emitter is fed only to the transistors TrQ2, Q3 and the current toward left flows to the motor MR via TrQ2, Q3, and the output of the comparator C is at low potential, then the current toward right flows to the motor MR via TrQ1 and Q4. In this case, the output amplitude of the oscillator OSC1 is taken so that it is in proportional to the power supply voltage.

Data supplied from the esp@cenet database - Worldwide

~~This Page Blank (uspto)~~

This Page Blank (uspto)

⑬日本国特許庁(JP)

⑪特許出願公開

⑫公開特許公報(A)

昭54—80657

⑤Int. Cl.²

H 03 F 3/217

H 03 K 7/08

識別記号

⑥日本分類

98(5) A 3

98(5) D 32

庁内整理番号

7827—5 J

7259—5 J

⑬公開 昭和54年(1979)6月27日

発明の数 1

審査請求 未請求

(全 4 頁)

⑭パルス幅変調電力増幅器

⑫発明者 西本克史

川崎市中原区上小田中1015番地

富士通株式会社内

⑯特 願 昭52—147823

⑰出 願 昭52(1977)12月9日

⑱発明者 渡辺利彦

神奈川県中原区上小田中1015番

地 富士通株式会社内

⑲出 願 人 富士通株式会社

川崎市中原区上小田中1015番地

⑳代理人 弁理士 松岡宏四郎

明 細 書

1. 発明の名称 パルス幅変調電力増幅器

2. 特許請求の範囲

入力信号電圧と発振器から出力された三角波電圧との大小関係を比較器によって比較し、該比較結果に応じて所定振幅の断続出力を得るパルス幅変調電力増幅器において、前記発振器の出力振幅を電源電圧に比例するようにしたこととを特徴とするパルス幅変調電力増幅器。

3. 発明の詳細な説明

本発明はパルス幅変調電力増幅器に係り、とくに電源電圧の変動が利得を変動せしめないように改良したパルス幅変調電力増幅器に係る。

一般にパルス幅変調方式による電力増幅器

(以下、PWM アンプという)は高効率のため、モータの駆動などに使用されている。さて、アナログ信号を入力として動作するPWM アンプには、アナログ信号をパルス幅変調信号へ変換する方式から大別して自動式と注入式がある。

そこで、まず従来の自動式PWM アンプにつ

いて説明すると、自動式PWM アンプは第1図

(a)に示す如く比較器OHと増幅器AMPと低域フィルタLPFとより構成されている。第1図

(b)に示すように比較器OHのスレッシホールド

電圧 V_H 、 V_L は入力電圧信号 I_N より大及び小

になる如く夫々定められており、低域フィルタ

LPFを介してフィードバックされた信号FB

が上昇し前記スレッシホールド電圧 V_H に達す

ると出力信号OUTとしてアース電圧ODが出

力され、逆に信号FBが下降してスレッシホー

ルド電圧 V_L に達すると出力信号OUTとして、

たとえば駆動電圧(電源電圧) V_0 が出力され

る如く2値制御されている。従って、電源電圧

が変動しても、このPWM アンプの利得の変動

は少ない。しかしながら、このPWM アンプを

前記低域フィルタLPFに加えて更に出力OUT

側から入力 I_N 側へフィードバックさせる如く

して用いる場合は、比較器OHのヒステリシス

を考慮せねばならないため、その用途が制限さ

れ、あるいは設計が複雑になる欠点がある。

又、自動式では変調周波数が入力信号のレベルにより変動する。

一方、注入式の従来のPWMアンプについて説明すると、第2図(a)に示す如く比較器0と増幅器AMPと一定振幅の三角波発振器080とから構成されており、第2図(b)に示すように発振器080から一定振幅V₀の三角波TRが出力されると、該三角波電圧は入力INと比較され、その結果前記入力INよりも三角波TRが高電位の期間は出力OUTをアース電圧0Dとし、逆に入力INよりも三角波TRが低電位の期間は出力OUTを駆動電位(電源電圧)V₀とする如くなっている。この場合、かかるPWMアンプの利得はV₀/V₀で与えられ、利得を一定にするためには前記駆動電圧(電源電圧)V₀の変動を抑制しなければならない欠点があった。

かくして、本発明は上記欠点の除去を目的としており、この目的を達成するための本発明の要旨とするところは、前記注入式PWMアンプ

れるようになってゐる。

尚、各トランジスタQ₁、Q₂に夫々並列になっているダイオードD₁、D₂はモータMRのインダクタンスを考慮して設けられた周知のフライホイールダイオードである。

次に第4図に移って、本発明の要旨とするところの発振器について具体的構成の一例を示して詳述すると、図中、ADDは抵抗R₁、R₂と共働してアナログ加算器の動作をする増幅器(オペ・アンプという)；01、02は比較器；FFはフリップフロップ；INTは抵抗R₀、コンデンサC₀と共働してアナログ積分器の動作をするオペ・アンプ；A₁は第3図に従って既述の如く電源電圧V₀を入力する端子；TRは三角波発振出力である。

さて、本発明に係る発振器080は以上の如き構成であるため、第4図(b)に図示の三角波出力TRを得るのであるが、まず図中の0点に着目すれば、オペアンプADDの電圧増幅率は極めて大きく、そのため入力電圧はほとんど零で

における発振器としてその出力振幅V₀が前記駆動電圧V₀に応じて加減、好ましくは比例する発振器を用いることにある。

以下本発明の一例を図面に従って詳細に説明する。第5図は本発明をモータの駆動回路に適用した一例を示す回路図である。図中、080は本発明に係る発振器；0は比較器；INVはインバータ；AMPは増幅器；R₁、R₂、Q₁、Q₂、D₁、D₂はスイッチング回路を構成する抵抗、トランジスタ、ダイオード；MRはモータ；ELは電源(交流を含む直流であつてよい)であり、図示の如く発振器080には電源電圧V₀を入力している。まず、この駆動回路について簡単に説明すると、比較器0の出力が高電位のときはトランジスタQ₁、Q₂にのみベース・エミッタ間に順方向バイアスが印加され、モータMRには図中左方向の電流が前記トランジスタQ₁、Q₂を流れて、比較器0の出力が低電位のときは逆に図中右方向の電流がモータMRにトランジスタQ₁、Q₂を流れて流

あり、従って前記0点の電圧はアース電圧

(0V)にほぼ等しいということとはよく知られていることである。次にA₁、A₂、A₃の各点に着目すれば、A₁点は既述の如く電源電圧V₀に等しくなっており、その結果A₂点は抵抗R₁、R₂で分圧し前記電源電圧V₀に比例した電圧V₀ (= V₀ × R₂ / (R₁ + R₂)) になっており、A₃点は例えば抵抗R₁とR₂の抵抗値が等しければ、その電圧はA₂点の電圧V₀を極性反転させた電圧 -V₀ (= -(R₁ / R₂) × V₀) になっている。

一方、別のオペ・アンプINTにおいては、フリップフロップFFがセットされ、その出力が第4図(b)にA₄で示す如く正の一定電圧V₀になるときは、該電圧V₀を積分し、その結果出力TRは一定の傾斜で電圧下降が行われ、逆にフリップフロップFFがリセットされる負の一定電圧 -V₀になるときは、前記出力TRは一定の傾斜で電圧上昇が行われるようになってゐる。

そこで、比較器 $0x$ によって積分器からの出力 TR が前記 A_1 点の電圧 V_t になるときフリップ・フロップ FF をセットし、前記出力 TR が A_2 点の電圧 $-V_t$ になるとき比較器 $0y$ によってフリップ・フロップ FF をリセットしているため、図示の如き三角波出力 TR 、すなわち振幅 V_t が電源電圧 V_0 に比例する三角波出力を得ることができる。

このような三角波出力 TR であれば、前記注入式 PWM アンプの利得は V_0/V_t で表わされるため、電源電圧 V_0 の変動の影響を受けず一定となる。

ところで、前記三角波出力 TR は既述の如く、電圧上昇及び下降時の傾斜が一定であるようになっており、このため振幅 V_t と周期とは比例関係が成立し、換言すれば電源電圧 V_0 の変動によって振幅 V_t が変動するときには周期も同様に変化することになる。この周期の変動が用途によって不都合である場合は、前記構成の PWM アンプはその長所が相殺されてしまうお

るようになっていく。従って、電源電圧 V_0 が変動し、振幅 V_t が変動するときは、三角波の電圧下降及び上昇の傾斜が該変動に応じて変化し、結果、前記三角波出力 TR の周期は不変になるようにすることが可能である。

以上本発明に係る発振器について、アナログ加算器 ADD 、 ADD 、アナログ積分器 INT や比較器 $0x$ 、 $0y$ 等を用いるものとして説明してきたが、本発明はこれに限定されるものでなく、例えば一定振幅の三角波発生手段と可変増幅率の電圧増幅手段とを用いて構成し、又三角波が対称非対称にとらわれず任意に定めて設定することも可能である。

このように本発明によれば、モータ等の負荷を駆動するための電源電圧 V_0 の変動にも拘らず、利得が一定であるため、幅広い電源電圧で動作させることができることは無敵のこと、電源にリップルを含むような場合でもその影響をうけることがないという優れた効果を奏する。

4. 図面の簡単な説明

それがある。

しかし、かかる場合には第5図の如く構成することにより周期を一定にすることができる。

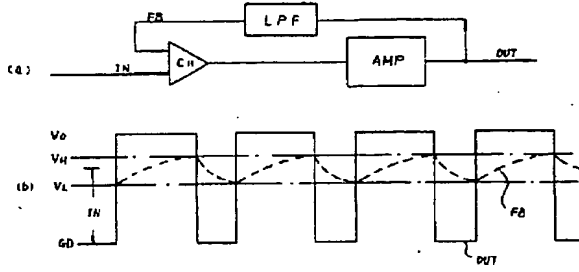
すなわち、第5図は第4図に比較し、オペ・アンプ ADD_1 とアナログスイッチ例えばトランジスタ等で構成したゲート回路 ASW_X 、 ASW_Y が設けられている他は全く第4図のものと同等の構成されている。これらの間の相違について説明すると、まずオペ・アンプ ADD_1 は電圧増幅率が1の増幅作用を行うものであり、従って電圧に関しては何等放目を果していない。次にアナログスイッチ ASW_X 、 ASW_Y について説明すれば、これらのアナログスイッチ ASW_X 、 ASW_Y はフリップ・フロップ FF の出力 Q 、 \bar{Q} によって夫々一方が ON （又は OFF ）なら他方は OFF （又は ON ）する如くなっており、このため、積分器（ RO 、 OO 、 INT ）に入力される電圧は第4図 b においてフリップ・フロップ FF の一定出力 V_t 、 $-V_t$ であったのに比較し、夫々 A_1 点、 A_2 点の電圧 V_t 、 $-V_t$ であ

第1図 第2図は従来のパルス幅変調増幅器を説明するための図、第3図は本発明を適用した駆動回路を例示する図、第4図、第5図は本発明に係る発振器の構成2種を説明するための図である。

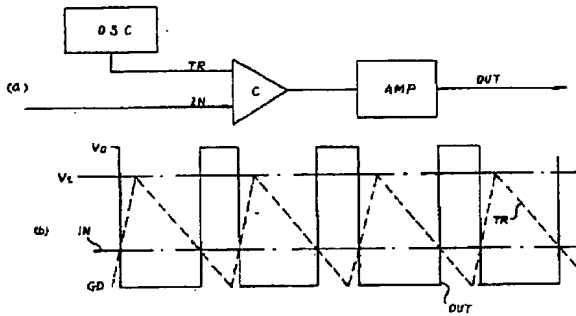
$0x$ 、 $0y$ 、 $0x$ 、 $0y$ ……比較器、
 OSO 、 OSO ……発振器、 AMP ……増幅器
 TR ……三角波出力、 IN ……入力、
 OUT ……出力、 V_0 ……電源電圧、
 V_t ……三角波の振幅、 INV ……インバータ、
 Q_1 、 Q_2 ……トランジスタ、
 D_1 、 D_2 ……ダイオード、 EL ……電源、
 MR ……モータ、 R_1 、 R_2 ……抵抗、
 C_1 、 C_2 ……コンデンサ、 ADD 、 ADD 、 INT ……
 オペ・アンプ、 FF ……フリップ・フロップ
 ASW_X 、 ASW_Y ……アナログスイッチ

代理人 弁理士 松岡宏四郎

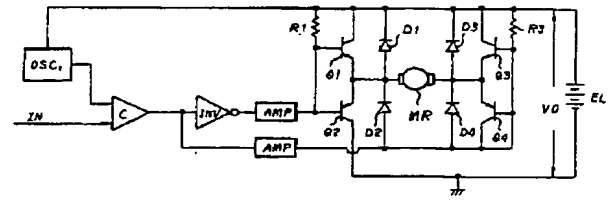
第 1 図



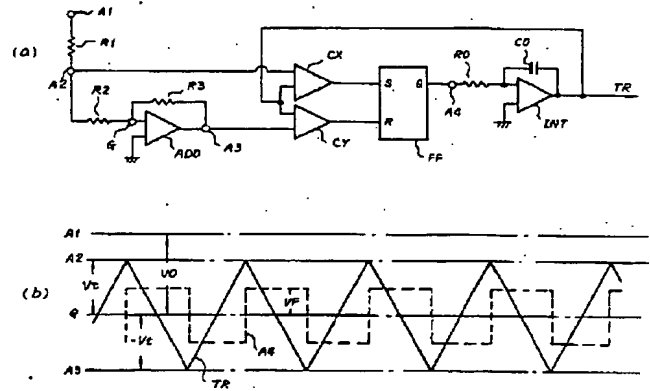
第 2 図



第 3 図



第 4 図



第 5 図

